

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214060

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/30

H 0 5 B 33/08

識別記号

F I

G 0 9 G 3/30

H 0 5 B 33/08

K

審査請求 未請求 請求項の数12 F D (全 10 頁)

(21) 出願番号 特願平9-27323

(22) 出願日 平成9年(1997) 1月28日

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 山田 裕康

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(72) 発明者 塩谷 雅治

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

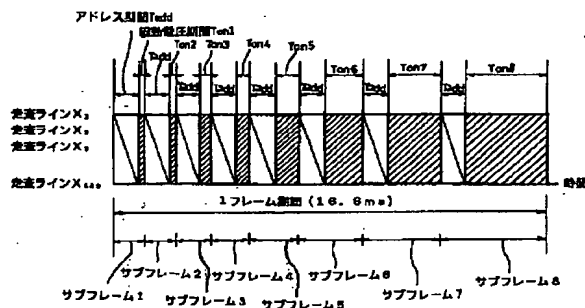
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 電界発光表示装置およびその駆動方法

(57) 【要約】

【課題】 制御性の良い階調表示が行え、低消費電力動作が可能な電界発光表示装置の駆動方法を提供する。

【解決手段】 電界発光素子がマトリクス状に配置され、この電界発光素子の選択トランジスタと駆動トランジスタとが接続された電界発光表示装置の1フレーム期間を8つのサブフレームに分割する。これらサブフレームは、それぞれのサブフレームで異なる表示放電時間  $T_{on}$  と、全サブフレームで同一時間のアドレス期間  $T_{add}$  と、からなるように設定されている。このため、8つのサブフレームのそれぞれで、画素が選択されたか選択されないかにより、画素毎の発光合計時間を異にすることができ、階調表現が可能となる。



## 【特許請求の範囲】

【請求項1】 それぞれ一对の電極を有し、電圧の印加に応じて発光する複数の電界発光素子と、前記各電界発光素子の前記一对の電極の一方のそれぞれに接続され、各アドレス期間に、接地電圧或いは一定電圧値の駆動電圧のいずれか一方を、前記各アドレス期間に対応した各発光設定期間に発光すべき電界発光素子に、出力する複数の第1スイッチング回路と、前記各電界発光素子の前記一对の電極の他方のそれぞれに接続され、前記各発光設定期間に、前記接地電圧或いは前記駆動電圧の他方を、前記全電界発光素子に出力する第2スイッチング回路と、を具備することを特徴とする電界発光表示装置。

【請求項2】 前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに異なる長さの時間である複数の発光設定期間と、からなることを特徴とする請求項1記載の電界発光表示装置。

【請求項3】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が接地或いは前記駆動電圧のいずれか一方を出力する駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項4】 前記走査電圧および前記信号電圧は、それぞれの特性に応じたオン/オフの2値信号であることを特徴とする請求項3記載の電界発光表示装置。

【請求項5】 前記第2スイッチング回路には、オン/オフの2値信号が入力されることを特徴とする請求項1～請求項4のいずれかに記載の電界発光表示装置。

【請求項6】 前記各発光設定期間の時間の長さの比率は、それぞれ2の $n$ 乗（ $n$ は0以上の整数）のいずれかであることを特徴とする請求項1～請求項5のいずれかに記載の電界発光表示装置。

【請求項7】 電圧の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、

1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つそれぞれの前記アドレス期間の後に、当該アドレス期間で選択された前記電界発光素子に駆動電圧を供給する、互いに異なる長さの時間に設定された駆動電圧供給期間を備えることを特徴とする電界発光表示装置の駆動方法。

【請求項8】 前記複数の電界発光素子は、それぞれ一对の電極を有し、前記複数の電界発光素子の前記一对の電極の一方はそれぞれに対応した複数の第1スイッチ

ング回路に接続され、前記複数の電界発光素子の前記一对の電極の他方はそれぞれ第2スイッチング回路に接続され、前記第1スイッチング回路は、前記各アドレス期間毎に前記電界発光素子を選択して接地電圧或いは一定電圧値の駆動電圧のいずれか一方を出力し、前記第2スイッチング回路は、前記各アドレス期間に応じて選択された電界発光素子を前記各アドレス期間に対応する前記駆動電圧供給期間に前記接地電圧或いは前記駆動電圧のいずれか他方を出力することを特徴とする請求項7に記載の電界発光表示装置の駆動方法。

【請求項9】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され、信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、ドレイン電極が前記電界発光素子に接続され、ソース電極が前記接地電圧或いは前記駆動電圧の一方を入力する駆動トランジスタと、を備えることを特徴とする請求項8記載の電界発光表示装置の駆動方法。

【請求項10】 前記走査電圧、前記信号電圧および前記第2スイッチング回路は、それぞれの特性に応じたオン/オフの2値信号が入力されることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項11】 前記電界発光素子はマトリクス状に配列され、前記1フレーム期間は、前記アドレス期間と駆動電圧供給期間とが交互に設定されることを特徴とする請求項7～請求項10のいずれかに記載の電界発光表示装置の駆動方法。

【請求項12】 前記各駆動電圧供給期間の時間の長さの比率は、それぞれ2の $n$ 乗（ $n$ は0以上の整数）のいずれかであることを特徴とする請求項7～請求項11のいずれかに記載の電界発光表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は電界発光表示装置およびその駆動方法に関し、さらに詳しくは、エレクトロルミネッセンス発光を行う表示装置の駆動方法に関する。

## 【0002】

【従来の技術】 従来、図10に示すような、1画素に2つの薄膜トランジスタ（以下、TFTという）を備えた構造の有機ELディスプレイ（電界発光表示装置）がある。この有機ELディスプレイにおいては、同図に示すように、有機EL素子1と直列に繋がる駆動TFT2のチャネル抵抗を、そのゲートバイアスを選択TFT3が書き込むことで階調表示させていた。ここで、選択TFT3が走査ライン $X_m$ で選択されると、書き込む信号が信号ライン $Y_n$ から供給されるようになっている。図11は、このように書き込まれた駆動TFT2の、ゲート電圧（ $V_g$ ）とチャネル抵抗との関係、所謂電界効果ト

ランジスタ(FET)の静特性を示すグラフである。図12は、1画素における有機EL素子1と電圧制御手段Vcと全画素共通EL電源4との関係を示す等価回路図である。この電圧制御手段Vcは、選択トランジスタ3と駆動トランジスタ2とから構成されている。

#### 【0003】

【発明が解決しようとする課題】上記した従来の1画素2セルTFT構造の有機ELディスプレイでは、駆動TFT2のゲートバイアスの変化によってチャンネルに流れる電流を変えることにより、画素ELの発光輝度を変化させることで階調を表現している。このため、たとえば256階調を実現しようとする、パネル内の各画素の駆動TFT2の線形領域での特性バラツキが256階調の制御に要求される範囲内になければならず、そのような均一な特性のTFTパネルの製造は実現が困難であるという問題がある。

【0004】この発明が解決しようとする課題は、制御性のよい階調表示が行えると共に、低消費電力動作が可能な電界発光表示装置の駆動方法を得るにはどのような手段を講じればよいかという点にある。

#### 【0005】

【課題を解決するための手段】請求項1記載の発明は、電界発光表示装置であって、それぞれ一對の電極を有し、電圧の印加に応じて発光する複数の電界発光素子と、前記各電界発光素子の前記一對の電極の一方のそれぞれに接続され、各アドレス期間に、接地電圧或いは一定電圧値の駆動電圧のいずれか一方を、前記各アドレス期間に対応した各発光設定期間に発光すべき電界発光素子に、出力する複数の第1スイッチング回路と、前記各電界発光素子の前記一對の電極の他方のそれぞれに接続され、前記各発光設定期間に、前記接地電圧或いは前記駆動電圧の他方を、前記全電界発光素子に出力する第2スイッチング回路と、を具備することを特徴としている。

【0006】請求項1記載の発明では、各発光設定期間に発光すべき電界発光素子を予め選択して、対応する各アドレス期間に接地電圧或いは一定電圧値の駆動電圧の一方を印加しているので、各発光設定期間に全電界発光素子の一對の電極の他方に接地電圧或いは駆動電圧の他方を印加すれば、選択された電界発光素子のみが各発光設定期間に発光することができる。したがって、複数の発光設定期間に選択的に電界発光素子を発光することにより、言い換えれば、選択された発光設定期間の総時間に応じて、各電界発光素子の見かけ上の発光輝度を制御することができる。

【0007】請求項2記載の発明は、前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに異なる長さの時間である複数の発光設定期間と、からなることを特徴としている。請求項2記載の発

明では、各発光設定期間の時間の長さが互いに異なるので、階調に応じた発光設定期間を選択すれば一定電圧値の駆動電圧にもかかわらず、それぞれの画素が1フレーム期間に少ない選択数で多くの輝度階調数の発光を実現することができる。

【0008】請求項3記載の発明は、前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が接地或いは前記駆動電圧のいずれか一方を出力する駆動電源に接続された駆動トランジスタと、を備えることを特徴としている。請求項3記載の発明では、アドレス期間に選択された電界発光素子に、発光設定期間中に容易に接地電圧或いは一定電圧値の駆動電圧の一方を印加できるようチャージできる。

【0009】請求項4記載の発明は、前記走査電圧および前記信号電圧は、それぞれの特性に応じたオン/オフの2値信号であることを特徴としている。また、請求項5記載の発明は、前記第2スイッチング回路には、オン/オフの2値信号が入力されることを特徴としている。

【0010】請求項4および請求項5記載の発明では、走査電圧、信号電圧および第2スイッチング回路がオン/オフの2値信号で制御できるので、選択トランジスタ、駆動トランジスタ、第2スイッチング回路のV-I特性に多少のばらつきがあっても、飽和電流領域の電圧を印加すれば、良好に輝度階調を制御することができる。

【0011】請求項6記載の発明は、前記各発光設定期間の時間の長さの比率は、それぞれ2のn乗(nは0以上の整数)のいずれかであることを特徴としている。

【0012】請求項7記載の発明は、電圧の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つそれぞれの前記アドレス期間の後に、当該アドレス期間で選択された前記電界発光素子に駆動電圧を供給する、互いに異なる長さの時間に設定された駆動電圧供給期間を備えることを特徴としている。

【0013】請求項7記載の発明では、各アドレス期間に、次の駆動電圧供給期間に発光すべき電界発光素子を予め選択して、駆動電圧供給期間に発光させるが、各駆動電圧供給期間の時間の長さが互いに異なるので、それぞれの画素が、階調に応じた駆動電圧供給期間を選択すれば一定電圧値の駆動電圧にもかかわらず、1フレーム期間に少ない選択で多くの輝度階調数の発光を実現することができる。

#### 【0014】

【発明の実施の形態】以下、この発明に係る電界発光表

示装置の駆動方法の詳細を図面に示す実施形態に基づいて説明する。なお、駆動方法の説明に先駆けて、電界発光表示装置の構成について説明する。図1は本実施形態に係る電界発光表示装置の駆動回路図である。同図に示すように、電界発光素子としての有機EL素子101が、X-Yマトリクス状に配置されたそれぞれの画素領域に形成されている。これらの画素領域は、複数の走査ラインXと複数の信号ラインYとがそれぞれ交差する部分に形成されている。1つの画素領域には、走査ラインXおよび信号ラインYに接続された選択トランジスタQ<sub>1</sub>と、この選択トランジスタQ<sub>1</sub>にゲートが接続された駆動トランジスタQ<sub>2</sub>とが設けられている。この駆動トランジスタQ<sub>2</sub>は、有機EL素子101の一方の電極に接続されている。そして、選択トランジスタQ<sub>1</sub>が選択され、且つ信号ラインYより駆動信号が出力されると駆動トランジスタQ<sub>2</sub>がオン状態になるように設定されている。この駆動信号は、ON/OFFの2値信号である。なお、駆動トランジスタQ<sub>2</sub>は、オフ状態では有機EL素子101に比べて充分高抵抗で、オン状態では有機EL素子101に比べて無視できるほど充分低抵抗となるようにその特性が設定されている。

【0015】図2は、この電界発光表示装置の1画素部分の等価回路図である。同図に示すスイッチS<sub>1</sub>は有機EL素子101の一方の電極に接続されており、このスイッチS<sub>1</sub>の閉じている状態で、有機EL素子101の発光が可能となる。また、スイッチS<sub>2</sub>は、有機EL素子101の他方の電極側に接続されており、全面素に共通に用いられるとともに、後記するサブフレーム期間内の発光時間に従って全面素を同時にオン/オフし得ようになっている。なお、図2中P<sub>s</sub>は一定電圧に固定された駆動電源を示している。

【0016】ここで、本実施形態における電界発光表示装置の更に具体的な構成を、図3および図4を用いて説明する。図3は、本実施形態における電界発光表示装置の1画素部分を示す平面図である。図4は、図3のA-A断面図である。図中100は電界発光表示装置を示している。

【0017】本実施形態の電界発光表示装置100は、ガラス或いは樹脂フィルムからなる基板102の上に例えばアルミニウム(A1)でなるゲート金属膜がパターンニングされてなる、所定方向(X方向)に沿って平行かつ等間隔をなす複数の走査ライン103と、この走査ライン103に一体的な、選択トランジスタQ<sub>1</sub>のゲート電極103Aと、駆動トランジスタQ<sub>2</sub>のゲート電極103Bと、が形成されている。なお、これらゲート電極103A、103Bおよび走査ライン103の表面には、陽極酸化膜104が形成されている。また、これら走査ライン103、ゲート電極103A、103Bおよび基板102の上には、窒化シリコンでなるゲート絶縁膜105が形成されている。さらに、ゲート電極103

A、103Bの上方のゲート絶縁膜105A、105Bの上には、アモルファスシリコン(a-Si)でなる半導体層106A、106Bがパターン形成されている。また、それぞれの半導体層106A、106Bの中央には、チャネル幅方向に沿って形成されたブロッキング層107A、107Bが形成されている。そして、半導体層106Aの上には、ブロッキング層107A上でソース側とドレイン側とに分離されたオーミック層108A、108Aが形成されている。さらに、選択トランジスタQ<sub>1</sub>においては、ドレイン側のオーミック層108Aに積層されて接続する信号ライン109Aと、ソース側のオーミック層108Aに積層されて接続するソース電極109Bとが形成されている。このソース電極109Bは、図3に示すように、駆動トランジスタQ<sub>2</sub>のゲート電極103Bに対して、ゲート絶縁膜105に開口したコンタクトホール110を介して接続されている。駆動トランジスタQ<sub>2</sub>においては、ソース側のオーミック層108Bに積層されて接続するGND線111と、一端がドレイン側のオーミック層108Bに積層されて接続し、且つ他端が有機EL素子101の後記するカソード電極114に接続するドレイン電極112が形成されている。これら選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>は、図2に示したスイッチS<sub>1</sub>を構成している。また、ゲート電極103Bとゲート絶縁膜105とGND線とでキャパシタC<sub>p1</sub>が構成される。

【0018】次に、有機EL素子101の構成を説明する。まず、上記した選択トランジスタQ<sub>1</sub>、駆動トランジスタQ<sub>2</sub>およびゲート絶縁膜105の上に、電界発光表示装置100の発光表示領域全域に互って、層間絶縁膜113が堆積されている。そして、上記した駆動トランジスタQ<sub>2</sub>のドレイン電極112の端部上の層間絶縁膜113にコンタクトホール113Aが形成されている。なお、本実施形態では、駆動トランジスタQ<sub>2</sub>のドレイン電極112の端部は、1画素領域の略中央に位置するように設定されている。そして、層間絶縁膜113の上に、例えばMgInでなるカソード電極114が略1画素領域全域に互って矩形状に形成されている。すなわち、カソード電極114は、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域(1画素領域)を略覆うように形成されている。このため、選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>とは、カソード電極114で全面的に覆われている。

【0019】さらに、図4に示すように、各画素毎にパターン形成されたカソード電極114、および層間絶縁膜113の上に、有機EL層115が発光表示領域全域に互って形成されている。さらに、有機EL層115の上には、透明なITOでなるアノード電極116が全有機EL素子101の発光表示領域全域に互って形成されている。また、各有機EL素子101のアノード電極1

16は、スイッチS2を介して駆動電圧Vddを供給する駆動電源Psに接続されている。

【0020】ここで、上記した構成の電界発光表示装置100の作用について説明する。本実施形態においては、カソード電極114が、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域（1画素領域）を略覆うように形成されているため、有機EL素子101は1画素領域の略全域に亘って発光を行うことができる。また、カソード電極114が光反射性を有するMgInで形成されているため、カソード電極114とアノード電極116との間に駆動電圧が印加された場合に、有機EL層115で発生した表示光は、下方（ガラス基板102側）に漏れることなくアノード電極116側に射出される。このため、選択トランジスタQ1および駆動トランジスタQ2の半導体層106A、106Bへ不要に光が入射するのを防止することができ、各トランジスタの光起電力による誤動作が生じるのを回避することができる。また、表示光は、透明なアノード電極116側から射出されるため、ガラス基板102などにより光吸収されることがなく、輝度の高い状態で射出される。

【0021】次に、本実施形態の電界発光表示装置100の駆動回路系を説明する。図2の等価回路図が示すように、有機EL素子101とスイッチS1、S2と駆動電源Psとから1画素部分のEL表示回路が構成されている。また、上記したように、スイッチS1は、選択トランジスタQ1と駆動トランジスタQ2とから構成され、有機EL素子101に選択的に接地電位を供給（出力）することができる。有機EL素子101においては、アノード電極側に正極性の一定電圧値の駆動電圧Vddを供給する駆動電源Psが接続され、そのカソード電極側にスイッチS1が接続され、スイッチS1を構成する駆動トランジスタQ2のソース電極側はGND線111を介して接地されている。

【0022】以下、本実施形態の電界発光表示装置100の駆動方法について説明する。まず、本実施形態は、電界発光表示装置100における走査ライン103の本数を例えば480本、信号ライン109Aの本数を例えば640本に設定する。そして、本実施形態では、図5に示すような階調表示方式を用いる。同図に示すように、1フレーム期間（1枚の表示を描く期間）が16.6ms固定であるとして、1フレーム期間を8つのサブフレーム期間（サブフレーム1～8）に分割する。各サブフレーム期間は、アドレス書き込みを行うためのアドレス期間Taddとアドレス期間に対応した駆動電圧供給期間Ton1～8とからなる。この駆動電圧供給期間Tonの比率は、Ton1を1（=2<sup>0</sup>）とすると、Ton2は2（=2<sup>1</sup>）、Ton3は4（=2<sup>2</sup>）、Ton4は8（=2<sup>3</sup>）、Ton5は16（=2<sup>4</sup>）、Ton6は32（=2<sup>5</sup>）、Ton7は64（=2<sup>6</sup>）、Ton8は

128（=2<sup>7</sup>）となる。このような駆動電圧供給期間において、1の駆動電圧供給期間で1という輝度を表示するとすると、サブフレーム1のみを点灯することで1の輝度が得られる。輝度2のときはサブフレーム2のみを、輝度3のときはサブフレーム1とサブフレーム2を、4のときはサブフレーム3のみを点灯するというように、以下同様にして組み合わせにより合計256（=2<sup>8</sup>）の階調を表示することが可能となる。

【0023】各サブフレームにおいては、アドレス期間Taddにアドレス書き込みが終了した後に駆動電圧供給期間Tonの間アドレス選択された画素を同時に点灯させる。その次のサブフレームではアドレス期間Tadd中にアドレス書き換えを行って駆動電圧供給期間Tonにアドレス選択された画素を同時に点灯させる。このようにサブフレーム1からサブフレーム8まで1フレーム期間内に行う。アドレス選択のタイミングは、図2に示したスイッチS1で制御し、駆動電圧供給時間はスイッチS2のオン時間で制御することができる。すなわち、1つのサブフレーム期間内において、走査ラインと信号ラインとの線順次走査により、このサブフレーム特有の表示放電期間に点灯すべき画素の選択トランジスタQ1がオン状態となる。そして、選択トランジスタQ1がオンになると信号ラインから選択トランジスタQ1を介して駆動トランジスタQ2のゲート電極への書き込みが行われ、アドレス期間Tadd内においては駆動トランジスタQ2にチャネルが形成された状態が保持される。このアドレス期間で点灯すべき画素がすべて選択された後、すなわちアドレス期間Tadd終了後の駆動電圧供給期間Tonまで選択状態が保持される。駆動電圧供給期間Ton中には、アノード電極116に接続された駆動電源PsがスイッチS2でオンされる。この駆動電圧供給期間は、上記したようにそれぞれのサブフレームでその長さが設定されている。ここで、1フレーム期間中の全アドレス期間Taddの時間の長さと駆動電圧供給期間Ton1～Ton8の時間の長さを等しくすると、各アドレス期間Taddは、1.04ms程度となり、各走査ラインX1～X480の1駆動電圧供給期間で選択される時間は、2.2μs程度となる。

【0024】次に、本実施形態の駆動方法で階調表示が行える原理を図6を用いて説明する。この図は、簡略化するために、1フレーム期間を3つのサブフレームに分割した例であり、サブフレーム1の駆動電圧供給期間（発光時間）は1（=2<sup>0</sup>）、サブフレーム2の駆動電圧供給期間は2（=2<sup>1</sup>）、サブフレーム3の駆動電圧供給期間は4（=2<sup>2</sup>）とした。図6は、網状の斜線を付した部分の画素13、22、24、31、35、42、44、53の輝度が高くなるように表示された例を示している。具体的には、サブフレーム1で全画素が選択されて輝度1の発光を行ったとすると、サブフレーム2、3では線順次走査により画素13、22、24、3

1、35、42、44、53のみが選択され、輝度2と輝度4が加算されたと設定する。このため、3つのサブフレームが終了した（1フレーム期間が終了した）状態では、画素13、22、24、31、35、42、44、53が輝度7となり、他の画素が輝度1であるのと比較して高輝度となる。このように、1フレーム期間を複数のサブフレームに分割することにより、アドレス期間合計と駆動電圧供給期間合計との比を変えることができるため、電界発光表示装置100の階調表示が可能となる。また、図7に示す有機EL素子の電圧-輝度-効率特性で最も効率の良い電圧値を発光駆動に用いるように設定すれば、低消費電力で発光駆動させることができる。このような原理は、1フレーム期間を8つのサブフレームに分割した場合での同様に適用できるものであり、256階調の表現も可能となる。

【0025】上記したように、本実施形態によれば、一定の駆動電圧Vddのスイッチングをオン/オフの2値信号で制御するスイッチS<sub>2</sub>を用い、且つ選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>にもオン/オフの2値信号をいずれかを選択的に出力するため、図10のソース・ドレイン間電圧VSDをソース・ドレイン間電流が飽和電流になる範囲に設定するので、各トランジスタの電圧VSDの1V～5V間でのV-I特性に多少のばらつきがあっても、良好に輝度階調を制御することができ、安定した階調制御を行うことが可能となる。特に、1つの有機EL素子に対し選択トランジスタQ<sub>1</sub>、駆動トランジスタQ<sub>2</sub>、スイッチS<sub>2</sub>の3つのスイッチング素子が構成している場合、それぞれのわずかな電気的特性のずれが相乗され、1つの画素として大きく輝度階調がずれてしまう恐れがあるが、選択トランジスタQ<sub>1</sub>や駆動トランジスタQ<sub>2</sub>およびスイッチS<sub>2</sub>は、飽和電流領域での電圧値を用いオン/オフ制御を行うだけであるため、特性に多少のバラツキがあった場合でもその影響を受けにくいという利点がある。また、有機EL素子101にとって発光効率のよい電圧値を駆動電圧として設定できるため、低消費電力化を達成することができる。

【0026】以上、本実施形態について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記した実施形態においては、サブフレーム期間におけるアドレス期間内でアドレス選択状態を保持するために、選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>とを備えた構成としたが、図8の1画素等価回路で示すような構成としてもアドレス選択状態を保持することができる。同図においてQ<sub>3</sub>は選択トランジスタ、Q<sub>4</sub>は駆動トランジスタ、Cp2は容量を示している。なお、この駆動トランジスタQ<sub>4</sub>は別途容量Cp2が接続されているため、EEPROM機能を有しないTFTを用いることができる。駆動トランジスタQ<sub>4</sub>のソース・ドレインの一方が各有機EL素子101の各カソード電極に接続され、他方がス

イッチS<sub>2</sub>を介して負電位Vdd'を供給する直流電源Ps'に接続されている。有機EL素子101は、発光表示領域全域に亘って形成されたアノード電極が接地され構造であり、駆動トランジスタQ<sub>4</sub>が選択され、スイッチS<sub>2</sub>がオンすると発光する。また、上記した実施形態においては、電界発光素子として直流電界で発光できる有機EL素子101に特に有効であるが、無機EL素子やその他の電界発光素子を適用することも勿論可能である。本実施形態では、有機EL素子の発光層は電荷輸送性の異なる2層以上の有機層から構成されてもよく、アノード電極116上に酸素および水の侵入を防止する封止層を設けてもよい。また、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層した構造としてもよい。

【0027】なお、本実施形態では、1フレーム期間中の全アドレス期間Taddの時間の長ささと駆動電圧供給期間Ton1～Ton8の時間の長さを等しくしたが、選択トランジスタQ<sub>1</sub>、Q<sub>3</sub>、駆動トランジスタQ<sub>2</sub>、Q<sub>4</sub>の特性に応じて、アドレス期間Tadd、駆動電圧供給期間Tonの一方を長くしたり、他方を短くしたりしてもよい。また、各駆動電圧供給期間Tonは短い順（Ton1、Ton2、…、Ton8）に印加されるがこれに限らず、長い順（Ton8、Ton7、…、Ton1）でのよく、或いはTon8、Ton1、Ton5、Ton4、Ton7、Ton2、Ton6、Ton3の順のように時間の長さの順番通りでなくてもよい。また、駆動電源Psが供給する駆動電圧Vddは、直流電圧での交流でのでもよい。さらに、階調数は256階調に限らず、複数の階調であれば256階調より多くても少なくてもよい。

【0028】本実施形態では、選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>とからなるスイッチS<sub>1</sub>がGND線111に接続され、駆動電圧供給期間TにオンするスイッチS<sub>2</sub>が駆動電源Psに接続されているが、図9に示すように、有機EL素子101のアノード電極側のスイッチS<sub>2</sub>を駆動電源Psを介さずに直接接地させ、有機EL素子101のカソード電極側のスイッチS<sub>1</sub>の駆動トランジスタQ<sub>2</sub>をGND線111の代わりに負極性の一定値の駆動電圧Vdd'を供給する駆動電源Ps'に接続させてもよい。この場合であっても、走査ラインX、信号ラインYに、それぞれ2値信号のいずれかを出力し、有機EL素子101のアノード電極に接続されたスイッチS<sub>2</sub>を2値信号でオン、オフ制御することができる。すなわち、アドレス期間Taddには、選択された有機EL素子101のカソード電極側に駆動電圧Vdd'が供給され、駆動電圧供給期間Tonに全スイッチS<sub>2</sub>がオンされ、有機EL素子101のアノード電極が接地され発光する。

【0029】さらに、本実施形態では、有機EL素子101をスイッチS<sub>1</sub>の上方に形成したが、スイッチS<sub>1</sub>と

同一平面上に形成してもよい。なお、この場合は、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層して形成すれば、仕事関数の低く酸化されやすい材料からなるカソード電極114をアノード電極116、有機EL層115の形成工程により劣化させることがない。

#### 【0030】

【発明の効果】以上の説明から明らかなように、この発明によれば、電界発光表示装置を制御性よく階調表示できる共に、低消費電力動作を可能にするという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に係る電界発光表示装置の駆動回路図。

【図2】本実施形態における電界発光表示装置の1画素部分の等価回路図。

【図3】本実施形態における電界発光表示装置の平面図。

【図4】図3のA-A断面図。

【図5】本実施形態の駆動方法示す説明図。

【図6】1フレーム期間を3サブフレームに分割した場合の階調表示原理を説明する説明図。

【図7】本実施形態における有機EL素子の電圧-輝度-効率特性を示すグラフ。

【図8】本発明を適用し得る電界発光表示装置の1画素部分を示す等価回路図。

【図9】本発明の他の実施形態に電界発光表示装置の駆動回路図。

【図10】従来の電界発光表示装置の1画素部分を示す等価回路図。

【図11】従来の電界発光表示装置における駆動TFT2の、ゲート電圧( $V_g$ )とチャネル抵抗との関係を示すグラフ。

【図12】従来の電界発光表示装置の1画素における有機EL素子1と電圧制御手段 $V_c$ と全画素共通EL電源4との関係を示す等価回路図。

#### 【符号の説明】

100 電界発光表示装置

101 有機EL素子

103 走査ライン

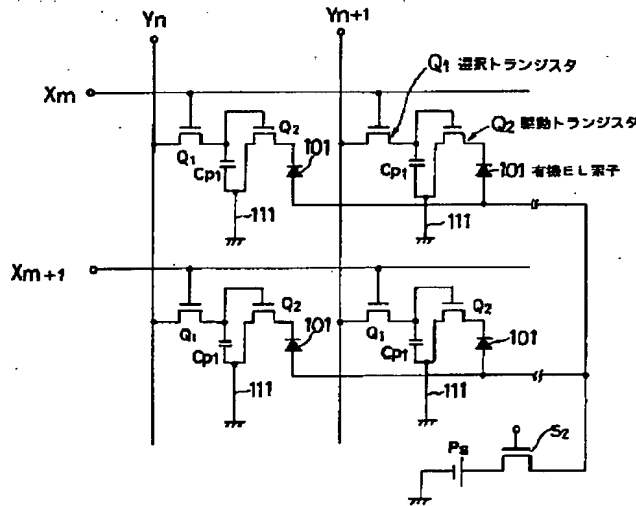
109A 信号ライン

20  $Q_1$  選択トランジスタ

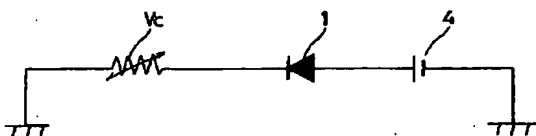
$Q_2$  駆動トランジスタ

$S_2$  スイッチ

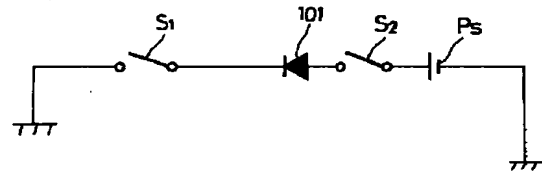
【図1】



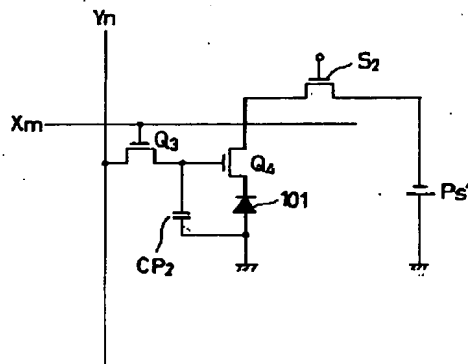
【図12】



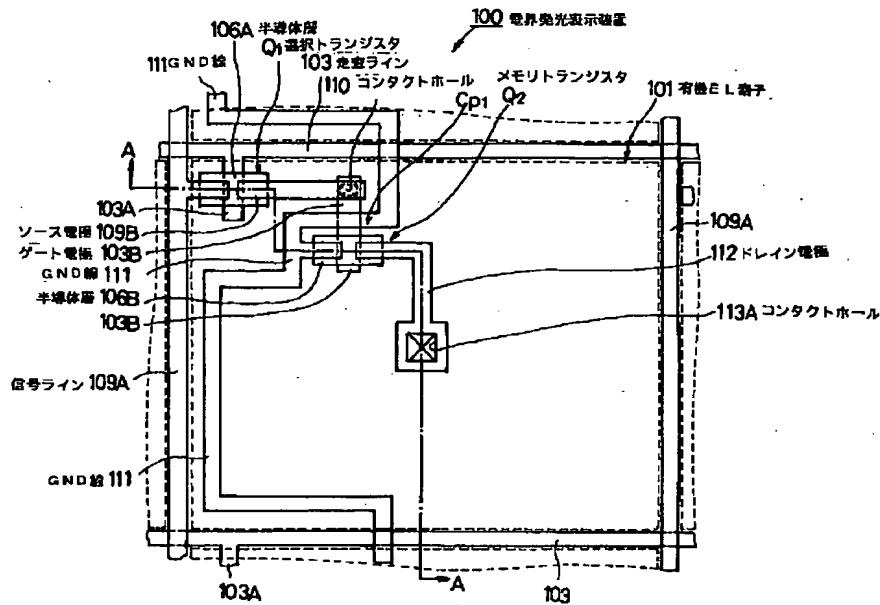
【図2】



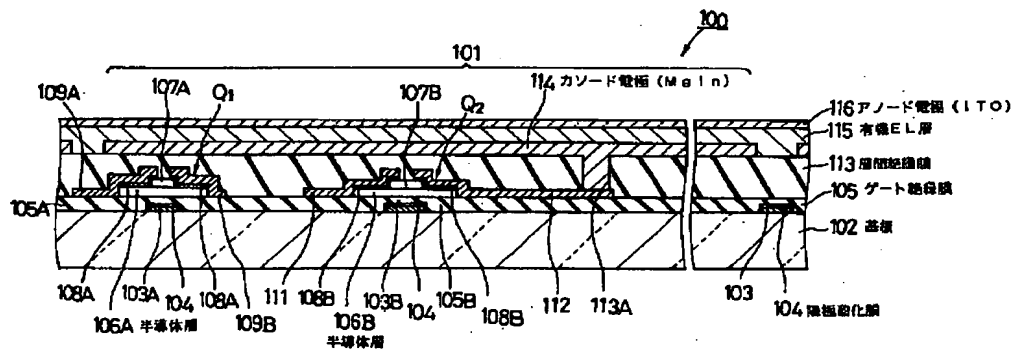
【図8】



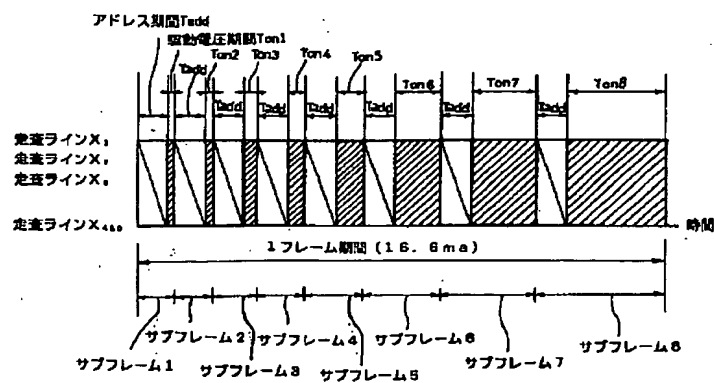
【図3】



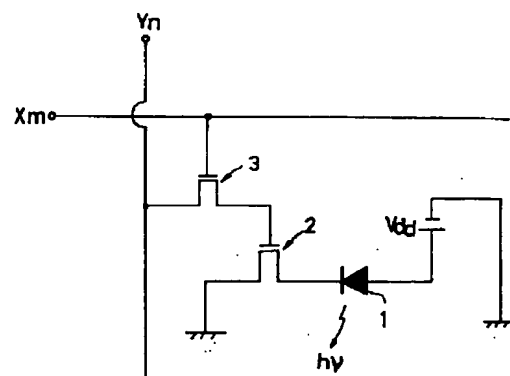
【図4】



【図5】

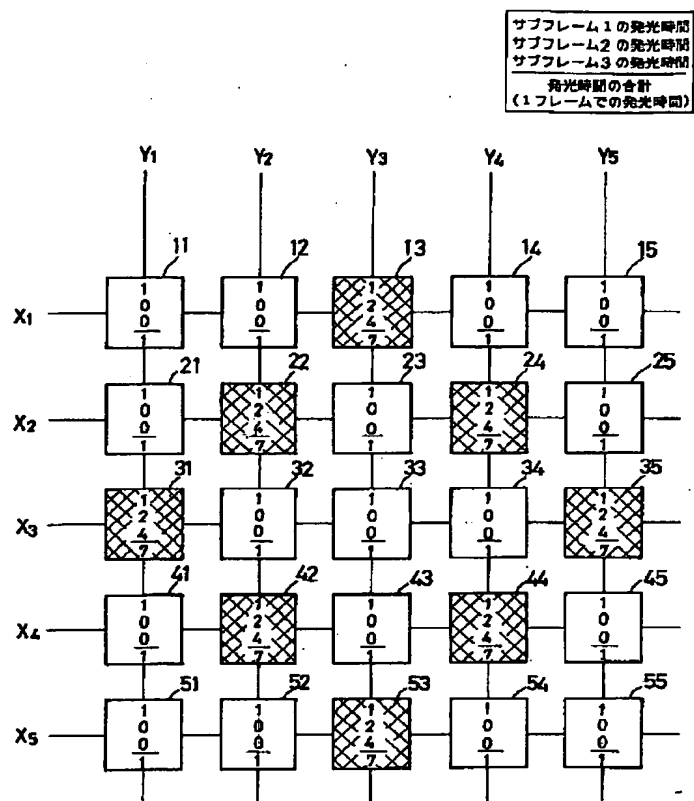


【図10】

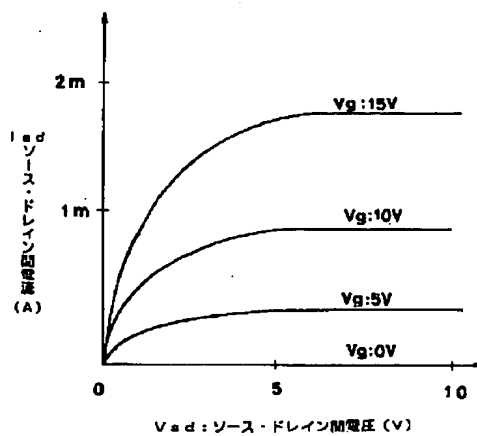




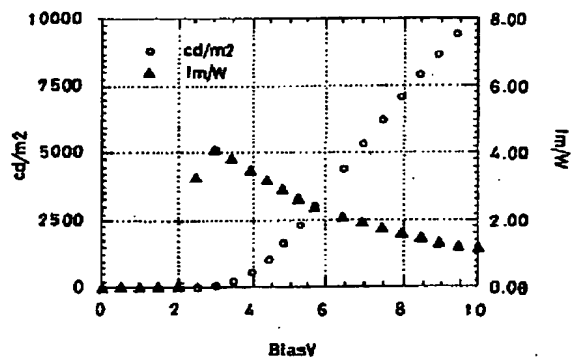
【図6】



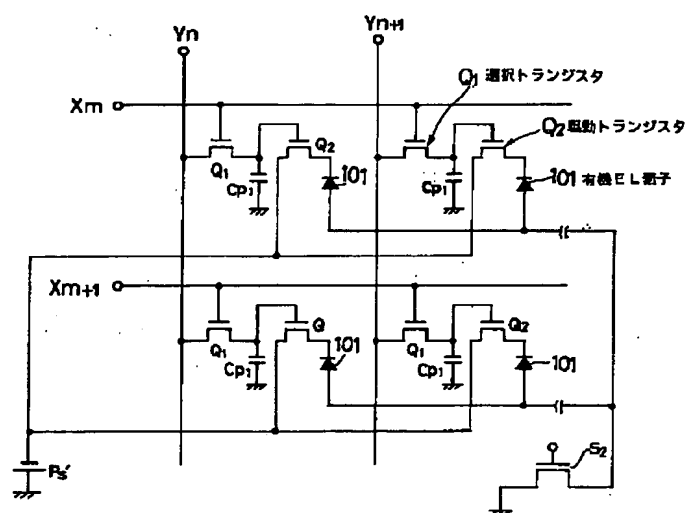
【図11】



【図7】



【图 9】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214060

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

G09G 3/30  
H05B 33/08

(21)Application number : 09-027323

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 28.01.1997

(72)Inventor : YAMADA HIROYASU  
SHIOTANI MASA HARU

## (54) ELECTRIC FIELD LIGHT EMISSION DISPLAY DEVICE AND ITS DRIVING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the driving method for the electric field light emission display device which can make a gradational display with controllability and be driven with low power consumption.

**SOLUTION:** One frame period of the electric field light emission device which has electric field light emission elements arranged in matrix and selection transistors and driving transistors of the electric field light emission elements connected is divided into eight subframes 1 to 8. Those subframes are so set that they consist of different display discharge times  $T_{on}$  by the respective subframes 1 to 8 and an address period  $T_{add}$  of the same time among all the subframes 1 to 8.

Consequently, total light emission times by pixels can be made different according to whether pixels are selected in the eight subframes 1 to 8, thereby enabling gradational representation.



## LEGAL STATUS

[Date of request for examination]

22.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

---

**CLAIMS**


---

**[Claim(s)]**

**[Claim 1]** Electroluminescence display characterized by providing the following. Two or more electroluminescence devices which have the electrode of a couple, respectively and emit light according to impression of voltage. It connects with one each of the electrode of the aforementioned couple of each aforementioned electroluminescence devices. Two or more 1st switching circuits which output either grounding voltage or the driver voltage of a fixed voltage value to the electroluminescence devices which should emit light during [ each ] the luminescence setting corresponding to each aforementioned address period during [ each ] the address. The 2nd switching circuit which is connected to each of another side of the electrode of the aforementioned couple of each aforementioned electroluminescence devices, and outputs another side of the aforementioned grounding voltage or the aforementioned driver voltage to all the aforementioned electroluminescence devices during [ each ] the aforementioned luminescence setting.

**[Claim 2]** The aforementioned electroluminescence devices are electroluminescence display according to claim 1 which is arranged in the shape of a matrix and characterized by two or

more luminescence setting periods which are the time of length different mutually [ an one frame period is equivalent to the address period and each address period of the aforementioned plurality, respectively, and ], and the shell bird clapper.

**[Claim 3]** Electroluminescence display according to claim 1 or 2 characterized by providing the following. The 1st switching circuit of the above is the selection transistor by which the drain electrode was connected to the signal line to which a gate electrode is connected to the scan line to which scanning voltage is supplied, and a signal level is supplied. The drive transistor connected to the drive power supply to which a source electrode outputs either grounding or the aforementioned driver voltage while the gate electrode was connected to the source electrode of the aforementioned selection transistor and the drain electrode was connected to the aforementioned electroluminescence devices.

**[Claim 4]** The aforementioned scanning voltage and the aforementioned signal level are electroluminescence display according to claim 3 characterized by being the binary signal of ON/OFF according to each property.

**[Claim 5]** Electroluminescence display according to claim 1 to 4 characterized by inputting the binary signal of ON/OFF into the 2nd switching circuit of the above.

**[Claim 6]** The ratio of the length of the

time of each aforementioned luminescence setting period is electroluminescence display according to claim 1 to 5 characterized by being either of the  $n$ -th power ( $n$  being zero or more integers) of 2, respectively.

[Claim 7] The drive method of electroluminescence [ characterizing by having the driver voltage / setting as the time of length / supplying driver voltage to aforementioned / having two or more address / that an one frame period chooses respectively arbitrary aforementioned electroluminescence devices in the drive method of electroluminescence / having two or more electroluminescence devices / emitting light according to impression ] display / period, and choosing as each aforementioned address period back in the address period concerned / electroluminescence devices / differing mutual ] supply period of voltage / display

[Claim 8] Two or more aforementioned electroluminescence devices have the electrode of a couple, respectively, and one side of the electrode of the aforementioned couple of two or more aforementioned electroluminescence devices is connected to two or more 1st switching circuits corresponding to each. Another side of the electrode of the aforementioned couple of two or more aforementioned electroluminescence devices is connected to the 2nd switching circuit, respectively. the 1st switching

circuit of the above The aforementioned electroluminescence devices are chosen for every aforementioned address period, and either grounding voltage or the driver voltage of a fixed voltage value is outputted. the 2nd switching circuit of the above The aforementioned grounding voltage or the aforementioned driver voltage is the drive method of the electroluminescence display according to claim 7 characterized by outputting another side either to the aforementioned driver voltage supply period corresponding to each aforementioned address period for the electroluminescence devices chosen according to each aforementioned address period.

[Claim 9] The drive method of the electroluminescence display according to claim 8 characterized by providing the following. The 1st switching circuit of the above is the selection transistor by which the gate electrode was connected to the scan line to which scanning voltage is supplied, and the drain electrode was connected to the signal line to which a signal level is supplied. The drive transistor into which a gate electrode is connected to the source electrode of the aforementioned selection transistor, a drain electrode is connected to the aforementioned electroluminescence devices, and a source electrode inputs either the aforementioned grounding voltage or the aforementioned driver

voltage.

[Claim 10] The aforementioned scanning voltage, the aforementioned signal level, and the 2nd switching circuit of the above are the drive method of the electroluminescence display according to claim 9 characterized by inputting the binary signal of ON/OFF according to each property.

[Claim 11] It is the drive method of electroluminescence display according to claim 7 to 10 that the aforementioned electroluminescence devices are arranged in the shape of a matrix, and the aforementioned one-frame period is characterized by setting up the aforementioned address period and a driver voltage supply period by turns.

[Claim 12] The ratio of the length of the time of each aforementioned driver voltage supply period is the drive method of the electroluminescence display according to claim 7 to 11 characterized by being either of the  $n$ -th power ( $n$  being zero or more integers) of 2, respectively.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the drive method of display of performing electroluminescence luminescence, in more detail about electroluminescence display and its drive method.

[0002]

[Description of the Prior Art]

Conventionally, there is an organic EL display (electroluminescence display) of the structure which equipped 1 pixel as shown in drawing 10 with two TFT (henceforth TFT). In this organic EL display, as shown in this drawing, the channel resistance of the drive TFT 2 connected with organic EL element 1 in series was indicated by gradation because selection TFT 3 writes in the gate bias. Here, if selection TFT 3 is chosen by the scan line  $X_m$ , the signal to write in will be supplied from a signal line  $Y_n$ .

Drawing 11 is a graph which shows the relation of the gate voltage ( $V_g$ ) of drive TFT 2 and channel resistance which were written in in this way, and the static characteristic of the so-called field-effect transistor (FET). Drawing 12 is the representative circuit schematic showing the relation between organic EL element 1 and the armature-voltage control means  $V_c$  in 1 pixel, and all the pixel common EL power supplies 4. This armature-voltage control means  $V_c$  consists of a selection transistor 3 and a drive transistor 2.

[0003]

[Problem(s) to be Solved by the Invention] The organic EL display of the above-mentioned conventional 1-pixel 2 cell TFT structure is expressing gradation by changing the luminescence brightness of Pixel EL by changing the

current which flows to a channel by change of the gate bias of drive TFT 2. For this reason, when it is going to realize 256 gradation, for example, it must be within limits as which the property variation in the alignment field of the drive TFT 2 of each pixel in a panel is required of control of 256 gradation, but manufacture of the TFT panel of such a uniform property has the problem that realization is difficult.

[0004] This Object of the Invention is in the point what means should be provided for acquiring the drive method of the electroluminescence display in which low-power operation is possible while being able to perform the gradation display with a sufficient controllability.

[0005]

[Means for Solving the Problem] Two or more electroluminescence devices which invention according to claim 1 is electroluminescence display, have the electrode of a couple, respectively, and emit light according to impression of voltage, It connects with one each of the electrode of the aforementioned couple of each aforementioned electroluminescence devices. Two or more 1st switching circuits which output either grounding voltage or the driver voltage of a fixed voltage value to the electroluminescence devices which should emit light during [ each ] the luminescence setting corresponding to each aforementioned address period during [ each ] the address,

It connects with each of another side of the electrode of the aforementioned couple of each aforementioned electroluminescence devices, and is characterized by providing the 2nd switching circuit which outputs another side of the aforementioned grounding voltage or the aforementioned driver voltage to all the aforementioned electroluminescence devices during [ each ] the aforementioned luminescence setting.

[0006] In invention according to claim 1, since the electroluminescence devices which should emit light during [ each ] the luminescence setting are chosen beforehand and either grounding voltage or the driver voltage of a fixed voltage value is impressed to each corresponding address period, if another side of grounding voltage or driver voltage is impressed to another side of the electrode of the couple of all electroluminescence devices during [ each ] the luminescence setting, only selected electroluminescence devices can emit light during [ each ] the luminescence setting. Therefore, if it puts in another way by emitting light in electroluminescence devices alternatively during [ two or more ] the luminescence setting, according to the total time of the selected luminescence setting period, the luminescence brightness on the appearance of each electroluminescence devices is controllable.

[0007] It is characterized by two or more



luminescence setting periods whose invention according to claim 2 is the time of length which the aforementioned electroluminescence devices are arranged in the shape of a matrix, and is mutually [ an one frame period is equivalent to the address period and each address period of the aforementioned plurality, respectively, and ] different, and the shell bird clapper. By invention according to claim 2, since the length of the time of each luminescence setting period differs mutually, if the luminescence setting period according to gradation is chosen, each pixel can realize luminescence of many numbers of brightness gradation with the few number of selections in spite of the driver voltage of a fixed voltage value in an one-frame period.

[0008] Invention according to claim 3 the 1st switching circuit of the above The selection transistor by which the drain electrode was connected to the signal line to which a gate electrode is connected to the scan line to which scanning voltage is supplied, and a signal level is supplied, While a gate electrode is connected to the source electrode of the aforementioned selection transistor and a drain electrode is connected to the aforementioned electroluminescence devices, the source electrode is characterized by having the drive transistor connected to the drive power supply which outputs either grounding or the aforementioned driver voltage. In invention according to claim 3,

it is chargeable so that either grounding voltage or the driver voltage of a fixed voltage value can be easily impressed to the electroluminescence devices chosen as the address period during the luminescence setting.

[0009] Invention according to claim 4 is characterized by the aforementioned scanning voltage and the aforementioned signal level being the binary signals of ON/OFF according to each property. Moreover, invention according to claim 5 is characterized by inputting the binary signal of ON/OFF into the 2nd switching circuit of the above.

[0010] a claim 4 and invention according to claim 5 -- the [ scanning voltage, a signal level, and ] -- since 2 switching circuits can control by the binary signal of ON/OFF, if the voltage of a saturation current field is impressed even if some dispersion is in a selection transistor, a drive transistor, and the V-I property of the 2nd switching circuit, brightness gradation is controllable good

[0011] Invention according to claim 6 is characterized by the ratio of the length of the time of each aforementioned luminescence setting period being either of the  $n$ -th power ( $n$  being zero or more integers) of 2, respectively.

[0012] In the drive method of electroluminescence display of having two or more electroluminescence devices to which invention according to claim 7 emits light according to impression of

voltage It has two or more address periods when an one-frame period chooses the respectively arbitrary aforementioned electroluminescence devices. And it is characterized by having the driver voltage supply period which supplies driver voltage to the aforementioned electroluminescence devices chosen in the address period concerned after each aforementioned address period and which was set as the time of mutually different length.

[0013] Although the electroluminescence devices which should emit light during the next driver voltage supply are beforehand chosen as each address period and it is made to emit light during the driver voltage supply in invention according to claim 7 Since the length of the time of each driver voltage supply period differs mutually, if each pixel chooses the driver voltage supply period according to gradation, luminescence of many numbers of brightness gradation is realizable by few selection in spite of the driver voltage of a fixed voltage value in an one-frame period.

[0014]

[Embodiments of the Invention] It explains based on the operation gestalt which shows the detail of the drive method of the electroluminescence display concerning this invention hereafter to a drawing. In addition, the initiative is taken in explanation of the drive method, and the composition of

electroluminescence display is explained. Drawing 1 is the drive circuit diagram of the electroluminescence display concerning this operation gestalt. As shown in this drawing, organic EL element 101 as electroluminescence devices is formed in each pixel field arranged in the shape of an X-Y matrix. These pixel fields are formed in the portion which two or more scan line X and two or more signal-line Y intersect, respectively. The selection transistor Q1 connected to scan line X and signal-line Y and the drive transistor Q2 by which the gate was connected to this selection transistor Q1 are formed in one pixel field. This drive transistor Q2 is connected to one electrode of organic EL element 101. And if the selection transistor Q1 is chosen and a driving signal is outputted from signal-line Y, it is set up so that the drive transistor Q2 may be turned on. This driving signal is a binary signal of ON/OFF. In addition, by the OFF state, as for the drive transistor Q2, the property is set up so that it is high resistance enough compared with organic EL element 101, and can ignore compared with organic EL element 101 in an ON state and may become low resistance enough.

[0015] Drawing 2 is the representative circuit schematic of the 1-pixel portion of this electroluminescence display. It connects with one electrode of organic EL element 101, and the switch S1 shown in

this drawing is in the state which has closed this switch S1, and luminescence of organic EL element 101 of it is attained. Moreover, a switch S2 can follow the luminescence time within the subframe period which carries out a postscript, and can turn on / turn off all pixels simultaneously while connecting with the electrode side of another side of organic EL element 101 and using it common to all pixels. In addition, the drive power supply fixed to fixed voltage is shown by the inside Ps of drawing 2.

[0016] Here, the still more concrete composition of the electroluminescence display in this operation gestalt is explained using drawing 3 and drawing 4. Drawing 3 is the plan showing the 1-pixel portion of the electroluminescence display in this operation gestalt. Drawing 4 is the A-A cross section of drawing 3. 100 in drawing shows electroluminescence display.

[0017] Two or more scan lines 103 which make parallel and regular intervals along the predetermined direction (the direction of X) where it comes to carry out patterning of the gate metal film which becomes with aluminum (aluminum), one gate electrode 103A [ this scan line 103 ] of the selection transistor Q1, and gate electrode 103B and \*\* of the drive transistor Q2 are formed on the substrate 102 which the electroluminescence display 100 of this operation gestalt becomes from glass or a resin film. In

addition, the oxide film on anode 104 is formed in these gates electrodes 103A and 103B and the front face of a scan line 103. Moreover, on these scan lines 103, the gate electrodes 103A and 103B, and the substrate 102, the gate insulator layer 105 which becomes by the silicon nitride is formed. Furthermore, on the upper gate insulator layers 105A and 105B of the gate electrodes 103A and 103B, pattern formation of the semiconductor layers 106A and 106B which become by the amorphous silicon (a-Si) is carried out. Moreover, the blocking layers 107A and 107B formed along the direction of channel width are formed in the center of each semiconductor layer 106A and 106B. And on semiconductor layer 106A, the ohmic layers 108A and 108A divided into the source and drain side on blocking layer 107A are formed. Furthermore, in the selection transistor Q1, source electrode 109B which a laminating is carried out to signal-line 109A which a laminating is carried out to ohmic layer 108A by the side of a drain, and is connected, and ohmic layer 108A by the side of the source, and is connected is formed. This source electrode 109B is connected to gate electrode 103B of the drive transistor Q2 through the contact hole 110 which carried out opening to the gate insulator layer 105, as shown in drawing 3. In the drive transistor Q2, the drain electrode 112 which the laminating of the end is

carried out to ohmic layer 108B by the side of a drain, and it connects with the GND line 111 which a laminating is carried out to ohmic layer 108B by the side of the source, and connects, and the other end connects to the cathode electrode 114 of organic EL element 101 which carries out a postscript is formed. These selection transistor Q1 and the drive transistor Q2 constitute the switch S1 shown in drawing 2. Moreover, a capacitor Cp1 consists of gate electrode 103B, a gate insulator layer 105, and a GND line.

[0018] Next, the composition of organic EL element 101 is explained. First, on the above-mentioned selection transistor Q1, the drive transistor Q2, and the gate insulator layer 105, it continued throughout the luminescence viewing area of the electroluminescence display 100, and the layer insulation film 113 has accumulated. And contact hole 113A is formed in the layer insulation film 113 on the edge of the drain electrode 112 of the above-mentioned drive transistor Q2. In addition, with this operation form, the edge of the drain electrode 112 of the drive transistor Q2 is set up so that it may be located in the center of abbreviation of a 1-pixel field. And on the layer insulation film 113, the cathode electrode 114 which becomes by MgIn continues throughout the 1 pixel field of abbreviation, and is formed in the shape of a rectangle. namely, the field (1-pixel

field) surrounded by the scan lines 103 and 103 which adjoin the signal lines 109A and 109A which the cathode electrode 114 adjoins -- an abbreviation wrap -- it is formed like For this reason, the selection transistor Q1 and the drive transistor Q2 are extensively covered by the cathode electrode 114.

[0019] Furthermore, as shown in drawing 4, on the cathode electrode 114 by which pattern formation was carried out for every pixel, and the layer insulation film 113, the organic EL layer 115 continues throughout a luminescence viewing area, and is formed. Furthermore, on the organic EL layer 115, the anode electrode 116 which becomes by transparent ITO continues throughout the luminescence viewing area of all organic EL elements 101, and is formed. Moreover, the anode electrode 116 of each organic EL element 101 is connected to the drive power supply Ps which supplies driver voltage Vdd through a switch S2.

[0020] Here, an operation of the electroluminescence display 100 of composition of having described above is explained. the field (1-pixel field) surrounded by the scan lines 103 and 103 to which the cathode electrode 114 adjoins the signal lines 109A and 109A which adjoin each other in this operation form -- an abbreviation wrap -- since it is formed like, organic EL element 101 can emit light by continuing throughout the abbreviation for a 1-pixel field Moreover,

since the cathode electrode 114 is formed by MgIn which has light reflex nature, when driver voltage is impressed between the cathode electrode 114 and the anode electrode 116, outgoing radiation of the display light generated in the organic EL layer 115 is carried out to the anode electrode 116 side, without leaking below (glass-substrate 102 side). For this reason, it can prevent that light carries out incidence unnecessarily to the semiconductor layers 106A and 106B of the selection transistor Q1 and the drive transistor Q2, and can avoid that the malfunction by the photoelectromotive force of each transistor arises. Moreover, since outgoing radiation of the display light is carried out from the transparent anode electrode 116 side, the optical absorption of it is not carried out with a glass substrate 102 etc., and outgoing radiation is carried out in the state where brightness is high.

[0021] Next, the drive circuit system of the electroluminescence display 100 of this operation form is explained. As shown in the representative circuit schematic of drawing 2, EL display circuit of a 1-pixel portion consists of organic EL element 101, switches S1 and S2, and a drive power supply Ps. Moreover, as described above, a switch S1 consists of a selection transistor Q1 and a drive transistor Q2, and can supply grounding potential to organic EL element 101 alternatively (output). In

organic EL element 101, the drive power supply Ps which supplies the driver voltage Vdd of the fixed voltage value of straight polarity to an anode electrode side is connected, a switch S1 is connected to the cathode electrode side, and the source electrode side of the drive transistor Q2 which constitutes a switch S1 is grounded through the GND line 111. [0022] Hereafter, the drive method of the electroluminescence display 100 of this operation form is explained. First, this operation form sets the number of 480 and signal-line 109A for the number of the scan line 103 in the electroluminescence display 100 to 640. And with this operation form, gradation means of displaying as shown in drawing 5 is used. An one-frame period is divided during [ eight ] the subframe (subframes 1-8) noting that an one-frame period (period describing the display of one sheet) is 16.6ms fixation, as shown in this drawing. Each subframe period consists of an address period Tadd for performing address writing, and driver voltage supply periods 1-Ton 8 corresponding to the address period. if the ratio of this driver voltage supply period Ton sets Ton1 to 1 (=20) -- Ton2 -- 2 (=21) and Ton3 -- 32 (=25) and Ton7 are set to 64 (=26), and Ton8 is set [ 4 (=22) and Ton4 / 8 (=23) and Ton5 ] to 128 (=27) by 16 (=24) and Ton6 In such a driver voltage supply period, supposing it displays the brightness 1, in the driver voltage supply

period of 1, the brightness of 1 will be obtained by turning on only a subframe 1. At the time of brightness 2, it becomes possible [ displaying a total of 256 (=28) gradation with combination like the following ] as a subframe 1 and a subframe 2 are turned on at the time of brightness 3 and only a subframe 3 is turned on only for a subframe 2 at the time of 4.

[0023] After address writing is completed during [ Tadd ] the address, the pixel to which between address selection of the driver voltage supply period Ton was carried out is made to turn on simultaneously in each subframe. The pixel by which performed address rewriting and address selection was carried out during [ Ton ] the driver voltage supply during [ Tadd ] the address is made to turn on simultaneously in the following subframe. Thus, it carries out within an one-frame period from a subframe 1 to a subframe 8. The timing of address selection can be controlled by the switch S1 shown in drawing 2, and driver voltage supply time can be controlled in ON time of a switch S2. That is, the selection transistor Q1 of the pixel which should be turned on at a display conducting period peculiar to this subframe will be in an ON state by line sequential scanning of a scan line and a signal line within one subframe period. And if the selection transistor Q1 is turned on [ it ], the

writing to the gate electrode of the drive transistor Q2 will be performed through the selection transistor Q1 from a signal line, and the state where the channel was formed in the drive transistor Q2 within the address period Tadd is held. After all the pixels that should be turned on in this address period are chosen, a selection state is held till the driver voltage supply period Ton after an address period Tadd end. The drive power supply Ps connected to the anode electrode 116 is turned on with a switch S2 during [ Ton ] the driver voltage supply. As this driver voltage supply period was described above, the length is set up by each subframe. Here, if the length of the time of all the address periods Tadd in an one-frame period and the length of the time of the driver voltage supply periods Ton1-Ton8 are made equal, each address period Tadd will be set to about 1.04ms, and the time chosen in 1 driver-voltage supply period of each scan lines X1-X480 will be set to about 2.2 microseconds.

[0024] Next, the principle which can perform a gradation display is explained using drawing 6 by the drive method of this operation form. Since this drawing simplified, it is the example which divided the one-frame period into three subframes, and, in the driver voltage supply period (luminescence time) of a subframe 1, 1 (=20) and the driver voltage supply period of a subframe 2 made [ 2 (=21) and the driver voltage

supply period of a subframe 3 ] it 4 (=22). Drawing 6 shows the example displayed that the brightness of the pixels 13, 22, 24, 31, 35, 42, 44, and 53 of the portion which attached the reticulated slash becomes high. Supposing all pixels are chosen by the subframe 1 and it specifically emits light in brightness 1, in subframes 2 and 3, only pixels 13, 22, 24, 31, 35, 42, 44, and 53 will be chosen by line sequential scanning, and it will set up that brightness 2 and brightness 4 were added. For this reason, where three subframes are completed (the one-frame period expired), pixels 13, 22, 24, 31, 35, 42, 44, and 53 serve as brightness 7, and other pixels serve as high brightness as compared with being brightness 1. Thus, since the ratio of the address period sum total and the driver voltage supply period sum total is changeable by dividing an one-frame period into two or more subframes, the gradation display of the electroluminescence display 100 is attained. Moreover, if it sets up so that the most efficient voltage value may be used for a luminescence drive in the voltage-brightness-efficiency property of an organic EL element shown in drawing 7, a luminescence drive can be carried out by the low power. Such a principle can be similarly applied, when an one-frame period is divided into eight subframes, and the expression of 256 gradation of it is also attained.

[0025] As described above, according to

this operation form, the switch S2 which controls switching of the fixed driver voltage V<sub>dd</sub> by the binary signal of ON/OFF is used. And since either is alternatively outputted for the binary signal of ON/OFF also to the selection transistor Q1 and the drive transistor Q2 and the voltage VSD between source drains of drawing 10 is set as the range from which the current between source drains turns into the saturation current. Even if some dispersion is in the V-I property between 1V - 5V of the voltage VSD of each transistor, brightness gradation can be controlled good and it becomes possible to perform stable gradation control. Although there is a possibility that a gap of each electrical property of few may be multiplied, and brightness gradation may shift and make it large as one pixel when the selection transistor Q1, the drive transistor Q2, and three switching elements of a switch S2 constitute to one organic EL element especially. In order that they may only perform ON/OFF control using the voltage value in a saturation current field, the selection transistor Q1, the drive transistor Q2, and a switch S2 have the advantage of the being hard to be influenced, even when some variations are in a property. Moreover, since the good voltage value of luminous efficiency can be set up as driver voltage for organic EL element 101, low-power-ization can be attained.

[0026] As mentioned above, although this operation form was explained, various kinds of design changes which are not limited to this and accompany the summary of composition are possible for this invention. For example, in the above-mentioned operation form, although it is considered as the composition equipped with the selection transistor Q1 and the drive transistor Q2 in order to hold an address selection state within the address period in a subframe period, an address selection state can be held also as composition as shown with the 1-pixel equal circuit of drawing 8. In this drawing, in Q3, a selection transistor and Q4 show the drive transistor, and Cp2 shows capacity. In addition, since capacity Cp2 is connected separately, this drive transistor Q4 can use TFT which does not have an EEPROM function. One side of the source drain of the drive transistor Q4 is connected to each cathode electrode of each organic EL element 101, and it connects with DC-power-supply Ps' to which another side supplies negative-potential Vdd' through a switch S2. The anode electrode which continued throughout the luminescence viewing area and was formed is grounded, its structure and the drive transistor Q4 is chosen, and if a switch S2 turns on organic EL element 101, it will emit light. Moreover, in the above-mentioned operation form, although it is effective in especially

organic EL element 101 that can emit light by direct-current electric field as electroluminescence devices, of course, it is also possible to apply an inorganic EL element and other electroluminescence devices. With this operation form, the luminous layer of an organic EL element may consist of organic layers more than two-layer [ from which charge transportability differs ], and may prepare the closure layer which prevents oxygen and a water entry on the anode electrode 116. Moreover, it is good also as structure which carried out the laminating to the order of the anode electrode 116, the organic EL layer 115, and the cathode electrode 114 from the substrate 102 side.

[0027] In addition, with this operation form, although the length of the time of all the address periods Tadd in an one-frame period and the length of the time of the driver voltage supply periods Ton1-Ton8 were made equal, according to the property of the selection transistors Q1 and Q3 and the drive transistors Q2 and Q4, one side of the address period Tadd and the driver voltage supply period Ton may be lengthened, or another side may be shortened. moreover -- although each driver voltage supply period Ton is impressed to short order (Ton1, Ton2, --, Ton8) -- not only this but long order (Ton8, Ton7, --, Ton1) -- you may not be as the turn of the length of time like [ it is good or ] the order of Ton8, Ton1, Ton5, Ton4,



Ton7, Ton2, Ton6, and Ton3 Moreover, the driver voltage Vdd which the drive power supply Ps supplies is the alternating current by direct current voltage.

Furthermore, if the numbers of gradation are not only 256 gradation but two or more gradation, even if there are than 256 gradation, they are good at least.

[ more ]

[0028] Although the switch S1 which consists of a selection transistor Q1 and a drive transistor Q2 is connected to the GND line 111 and the switch S2 switch on during [ T ] the driver voltage supply is connected to the drive power supply Ps with this operation form As shown in drawing 9, the switch S2 by the side of the anode electrode of organic EL element 101 is grounded directly, without minding the drive power supply Ps. You may connect the drive transistor Q2 of the switch S1 by the side of the cathode electrode of organic EL element 101 to drive power supply Ps' which supplies driver voltage Vdd' of the constant value of negative polarity instead of the GND line 111. Even if it is this case, either of the binary signals is outputted to scan line X and signal-line Y, respectively, the switch S2 connected to the anode electrode of organic EL element 101 can be turned on by the binary signal, and OFF control can be carried out. That is, during [ Tadd ] the address, driver voltage Vdd' is supplied to the cathode electrode side of organic selected EL

element 101, all the switches S2 are turned on during [ Ton ] the driver voltage supply, the anode electrode of organic EL element 101 is grounded, and light is emitted.

[0029] Furthermore, with this operation form, although organic EL element 101 was formed above the switch S1, you may form in a switch S1 and a coplanar. In addition, if a laminating is carried out to the order of the anode electrode 116, the organic EL layer 115, and the cathode electrode 114 and it forms in it from a substrate 102 side in this case, the cathode electrode 114 which consists of material of a work function which is easy to oxidize low will not be degraded according to the formation process of the anode electrode 116 and the organic EL layer 115.

[0030]

[Effect of the Invention] According to this invention, the effect electroluminescence display gives a gradation indication of the controllability of enabling low-power operation is both done so so that clearly from the above explanation.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The drive circuit diagram of the electroluminescence display concerning the operation gestalt of this invention.

[Drawing 2] The representative circuit

schematic of the 1-pixel portion of the electroluminescence display in this operation gestalt.

[Drawing 3] The plan of the electroluminescence display in this operation gestalt.

[Drawing 4] The A-A cross section of drawing 3.

[Drawing 5] The drive method \*\*\*\* explanatory drawing of this operation gestalt.

[Drawing 6] Explanatory drawing explaining the gradation display principle at the time of dividing an one-frame period into three subframes.

[Drawing 7] The graph which shows the voltage-brightness-efficiency property of the organic EL element in this operation gestalt.

[Drawing 8] The representative circuit schematic showing the 1-pixel portion of the electroluminescence display which can apply this invention.

[Drawing 9] It is the drive circuit diagram of electroluminescence display to other operation gestalten of this invention.

[Drawing 10] The representative circuit schematic showing the 1-pixel portion of the conventional electroluminescence display.

[Drawing 11] The graph which shows the relation of the gate voltage (Vg) of drive TFT 2 and channel resistance in the conventional electroluminescence display.

[Drawing 12] The representative circuit

schematic showing the relation between organic EL element 1 and the armature-voltage control means Vc in 1 pixel of the conventional electroluminescence display, and all the pixel common EL power supplies 4.

[Description of Notations]

100 Electroluminescence Display

101 Organic EL Element

103 Scan Line

109A Signal line

Q1 Selection transistor

Q2 Drive transistor

S2 Switch